

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

1129-01
#6
Pm

In re the Application of

Tatsuya SHIMODA et al.

Application No.: 09/892,872

Filed: June 28, 2001

Docket No.: 109975

For: FERROELECTRIC MEMORY AND METHOD OF FABRICATING THE SAME

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-199987, filed June 30, 2000.

In support of this claim, a certified copy of said original foreign application:

 X is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

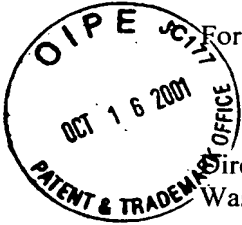
Date: October 16, 2001

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;

Charge any fee due to our
Deposit Account No. 15-0461





日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月30日

出 願 番 号

Application Number:

特願2000-199987

出 願 人

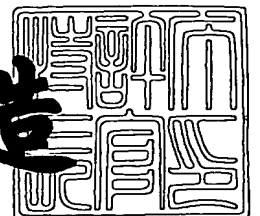
Applicant(s):

セイコーエプソン株式会社

2001年 7月 6日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3063543

【書類名】 特許願

【整理番号】 J0080301

【提出日】 平成12年 6月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 下田 達也

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 小口 幸一

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 名取 栄治

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 長谷川 和正

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 高桑 敦司

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

 【代表者】 安川 英昭

【代理人】

【識別番号】 100066980

【弁理士】

【氏名又は名称】 森 哲也

【選任した代理人】

【識別番号】 100075579

【弁理士】

【氏名又は名称】 内藤 嘉昭

【選任した代理人】

【識別番号】 100103850

【弁理士】

【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

【予納台帳番号】 001638

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリ及びその製造方法

【特許請求の範囲】

【請求項 1】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記パッシブマトリクスアレーを微小構造体上に形成するとともに、前記周辺回路を基板上に形成し、前記微小構造体を前記基板上に集積化したことを特徴とする強誘電体メモリ。

【請求項 2】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記パッシブマトリクスアレーを基板上に形成するとともに、前記周辺回路を微小構造体上に形成し、前記微小構造体を前記基板上に集積化したことを特徴とする強誘電体メモリ。

【請求項 3】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記パッシブマトリクスアレーを第 1 の微小構造体上に形成するとともに、前記周辺回路を第 2 の微小構造体上に形成し、前記第 1 の微小構造体と第 2 の微小構造体とを基板上に集積化したことを特徴とする強誘電体メモリ。

【請求項 4】 前記パッシブマトリクスアレーが微小構造体上に形成された場合には複数の微小構造体を集積化し、前記周辺回路が微小構造体上に形成された場合は複数の微小構造体を集積化したことを特徴とする請求項 1、請求項 2、または請求項 3 に記載の強誘電体メモリ。

【請求項 5】 前記基板には前記両微小構造体が収容される凹部をそれぞれ設け、前記微小構造体を前記各凹部に収容して前記基板上に集積化したことを特徴とする請求項 1 乃至 4 のいずれかに記載の強誘電体メモリ。

【請求項 6】 前記基板は、光硬化樹脂による金型転写により作成したこと

を特徴とする請求項 5 に記載の強誘電体メモリ。

【請求項 7】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記パッシブマトリクスアレーを第 1 の微小構造体上に形成するとともに前記周辺回路を第 2 の微小構造体上に形成して 1 つの組とし、この組を複数有し、前記各組の各微小構造体を基板の表裏に配置したことを特徴とする強誘電体メモリ。

【請求項 8】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記強誘電体メモリとは異なる機能または同一機能を有する所定の関連回路を備え、前記パッシブマトリクスアレー、前記周辺回路及び前記関連回路を複数の微小構造体上にそれぞれ形成するとともに、前記複数の微小構造体を同一基板上に集積化したことを特徴とする強誘電体メモリ。

【請求項 9】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記パッシブマトリクスアレーと前記周辺回路とを、微小構造体上に一体に集積化したことを特徴とする強誘電体メモリ。

【請求項 10】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、

前記パッシブマトリクスアレーを第 1 の微小構造体上に形成するとともに、前記周辺回路を前記第 1 の微小構造体よりもサイズが大きな第 2 の微小構造体上に形成し、前記第 1 の微小構造体を前記第 2 の微小構造体の一部に収納して集積化したことを特徴とする強誘電体メモリ。

【請求項 11】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた

強誘電体メモリであって、

前記パッシブマトリクスアレーを複数の微小構造体上に形成し、その複数の微小構造体を基板内に積み重ねて集積化したことを特徴とする強誘電体メモリ。

【請求項 1 2】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

前記パッシブマトリクスアレーを微小構造体上に作成しておくとともに、前記周辺回路を基板上に作成しておき、前記微小構造体を前記基板上に集積化するようにしたことを特徴とする強誘電体メモリの製造方法。

【請求項 1 3】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

前記パッシブマトリクスアレーを基板上に作成しておくとともに、前記周辺回路を微小構造体上に作成しておき、前記微小構造体を前記基板上に集積化するようにしたことを特徴とする強誘電体メモリの製造方法。

【請求項 1 4】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

前記パッシブマトリクスアレーを第 1 の微小構造体上に作成しておくとともに、前記周辺回路を第 2 の微小構造体上に作成しておき、前記第 1 の微小構造体と前記第 2 の微小構造体とを基板上に集積化するようにしたことを特徴とする強誘電体メモリの製造方法。

【請求項 1 5】 前記各微小構造体の各形状に対応する凹部を設けた基板を用意し、前記基板の各凹部に前記対応する微小構造体を収容し、集積化するようにしたことを特徴とする請求項 1 2 乃至 1 4 のいずれかに記載の強誘電体メモリの製造方法。

【請求項 1 6】 前記基板の各凹部に対応する前記微小構造体を収容するには、前記微小構造体を含む流体を前記基板の表面に供給することにより行うようにしたことを特徴とする請求項 1 5 に記載の強誘電体メモリの製造方法。

【請求項 1 7】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

前記パッシブマトリクスアレーを第 1 の微小構造体上に作成するとともに前記周辺回路を第 2 の微小構造体上に作成しておきこれを 1 つの組とし、この組を複数用意し、前記各組の各微小構造体を基板の表裏に集積化するようにしたことを特徴とする強誘電体メモリの製造方法。

【請求項 1 8】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

前記パッシブマトリクスアレーを第 1 の微小構造体上に作成するとともに、前記周辺回路を前記第 1 の微小構造体よりもサイズが大きな第 2 の微小構造体上に作成しておき、前記第 2 の微小構造体の一部に前記第 1 の微小構造体を収納して集積化するようにしたことを特徴とする強誘電体メモリの製造方法。

【請求項 1 9】 強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、

前記パッシブマトリクスアレーは複数の微小構造体上に作成しておき、その複数の微小構造体を基板内に積み重ねて集積化するようにしたことを特徴とする強誘電体メモリの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、メモリセルに強誘電体を用いた強誘電体メモリに関し、特に、1 個のメモリセルを 1 個の強誘電体キャパシタで構成してセルトランジスタを使用しないパッシブアドレス型の強誘電体メモリに関する。

【0 0 0 2】

【従来の技術】

従来、この種の強誘電体メモリとしては、例えば、国際公開公報 (W O 9 9 /

12170号)に記載の発明や、特開平9-116107号公報に記載の発明が知られている。これらの強誘電体メモリは、強誘電体キャパシタからなるメモリセルを縦横に配置するパッシブマトリクスアレーと、その各メモリセルのデータの読み書き等を行う周辺回路と、から構成されている。

【0003】

パッシブマトリクスアレーは、例えば、図24及び図25に示すように、強誘電体膜1と、強誘電体膜1の上面にX方向に配列されて固定された複数の上側電極2と、強誘電体膜1の下面にY方向に配列されて固定された複数の下側電極3とからなり、その両電極2、3の各交差位置に、強誘電体キャパシタからなるメモリセル4が形成されるようになっている。そして、その各メモリセル4には、図示しない周辺回路によりデータの読み書きができるようになっている。

【0004】

このような従来からの強誘電体メモリは、パッシブマトリクスアレーとその周辺回路とを同一基板上に平面的に集積化することにより実現している。次に、その製法の工程のうちの一部について、図26を参照して説明する。

図26(A)は、周辺回路を構成するMOSトランジスタ形成時の断面図である。図26(A)において、11はシリコン基板、12はソース領域、13はドレイン領域、14はゲート絶縁膜、15はゲート電極、16は埋込プラグ、17はLOCOS酸化膜、18、19は層間絶縁膜である。

【0005】

図26(B)は、パッシブマトリクスアレーの形成時の断面図である。この形成時の手順を説明すると、図26(B)に示すように、まず層間絶縁膜19上に金属膜を形成してエッチングにより下電極21を形成し、その下電極21の上に強誘電体膜22を形成し、その上に金属膜を形成してエッチングにより上電極23を形成する。強誘電体膜22としては、 $PZT(PbZr_{1-x}Ti_xO_3)$ や $SBT(SrBi_2Ta_2O_9)$ 等の材料が用いられる。

【0006】

図26(C)は、保護層の形成時の断面図である。この形成時の手順を説明すると、図26(C)に示すように、まず上電極23等の上に保護層24を形成し

、その保護層 2 4 の厚み方向にスルーホール形成する。次に、保護層 2 4 の上に金属膜を形成しエッチングにより配線層 2 5 を形成し、その上に保護層 2 6 を形成する。

【0 0 0 7】

【発明が解決しようとする課題】

ところで、図 2 6 (B) に示すパッシブマトリクスアレーの形成過程であって、強誘電体膜 2 2 の形成には、酸素雰囲気下で高温処理 (7 0 0℃程度) を行うため、先に形成されている MOS トランジスタの劣化が起こる。この劣化を補償するため、この後の工程中に水素雰囲気下で熱処理すると、強誘電体膜 2 2 の強誘電体特性の劣化が生じる。従って、これらの妥協点で完成後のデバイスを動作させる必要がある。

【0 0 0 8】

また、強誘電体膜 2 2 の形成時に、その強誘電体膜 2 2 の成分が MOS トランジスタの領域に拡散し、これにより MOS トランジスタの性能の劣化が起こるといふ不都合がある。

このため、従来の強誘電体メモリのようにパッシブマトリクスアレーとその周辺回路とを同一基板上に平面的に集積化する場合には、上記のようにその製造プロセスでの制約が大きいという不都合があった。

【0 0 0 9】

そこで、本発明の目的は、上記の点に鑑み、製造プロセスでの制約を小さくできるようにした強誘電体メモリ及びその製造方法を提供することにある。

【0 0 1 0】

【課題を解決するための手段】

上記課題を解決し、本発明の目的を達成するために、請求項 1 ～請求項 1 9 に記載の発明は以下のように構成した。

すなわち、請求項 1 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを微小構造体上に形成するとともに、前記周辺回路を基板上に形成し、前記微小構造

体を前記基板上に集積化したことを特徴とするものである。

【0011】

請求項2に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを基板上に形成するとともに、前記周辺回路を微小構造体上に形成し、前記微小構造体を前記基板上に集積化したことを特徴とするものである。

【0012】

請求項3に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを第1の微小構造体上に形成するとともに、前記周辺回路を第2の微小構造体上に形成し、前記第1の微小構造体と第2の微小構造体とを基板上に集積化したことを特徴とするものである。

【0013】

請求項4に記載の発明は、請求項1、請求項2、または請求項3に記載の強誘電体メモリにおいて、前記パッシブマトリクスアレーが前記パッシブマトリクスアレーが微小構造体上に形成された場合には複数の微小構造体を集積化し、前記周辺回路が微小構造体上に形成された場合は複数の微小構造体を集積化したことを特徴とするものである。

【0014】

請求項5に記載の発明は、請求項1乃至4のいずれかに記載の強誘電体メモリにおいて、前記基板には前記両微小構造体が収容される凹部をそれぞれ設け、前記微小構造体を前記各凹部に収容して前記基板上に集積化したことを特徴とするものである。

請求項6に記載の発明は、請求項5に記載の強誘電体メモリにおいて、前記基板は、光硬化樹脂による金型転写により作成したことを特徴とするものである。

【0015】

請求項7に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させ

たパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを第1の微小構造体上に形成するとともに前記周辺回路を第2の微小構造体上に形成して1つの組とし、この組を複数有し、前記各組の各微小構造体を基板の表裏に配置したことを特徴とするものである。

【0016】

請求項8に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記強誘電体メモリとは異なる機能または同一機能を有する所定の関連回路を備え、前記パッシブマトリクスアレー、前記周辺回路及び前記関連回路を複数の微小構造体上にそれぞれ形成するとともに、前記複数の微小構造体を同一基板上に集積化したことを特徴とするものである。

【0017】

請求項9に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーと前記周辺回路とを、微小構造体上に一体に集積化したことを特徴とするものである。

請求項10に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを第1の微小構造体上に形成するとともに、前記周辺回路を前記第1の微小構造体よりもサイズが大きな第2の微小構造体上に形成し、前記第1の微小構造体を前記第2の微小構造体の一部に収納して集積化したことを特徴とするものである。

【0018】

請求項11に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリであって、前記パッシブマトリクスアレーを複数の微小構造体上に形成し、その複数の微小構造体を基板内に積み重ねて集積化したことを特徴とするものである。

【 0 0 1 9 】

請求項 1 2 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを微少構造体上に作成しておくとともに、前記周辺回路を基板上に作成しておき、前記微少構造体を前記基板上に集積化するようにしたことを特徴とするものである。

【 0 0 2 0 】

請求項 1 3 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを基板上に作成しておくとともに、前記周辺回路を微少構造体上に作成しておき、前記微少構造体を前記基板上に集積化するようにしたことを特徴とするものである。

【 0 0 2 1 】

請求項 1 4 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを第 1 の微少構造体上に作成しておくとともに、前記周辺回路を第 2 の微少構造体上に作成しておき、前記第 1 の微少構造体と前記第 2 の微少構造体とを基板上に集積化するようにしたことを特徴とするものである。

【 0 0 2 2 】

請求項 1 5 に記載の発明は、請求項 1 2 乃至 1 4 のいずれかに記載の強誘電体メモリの製造方法であって、前記各微小構造体の各形状に対応する凹部を設けた基板を用意し、前記基板の各凹部に前記対応する微小構造体を収容し、集積化するようにしたことを特徴とするものである。

請求項 1 6 に記載の発明は、請求項 1 5 に記載の強誘電体メモリの製造方法において、前記基板の各凹部に対応する前記微小構造体を収容するには、前記微小構造体を含む流体を前記基板の表面に供給することにより行うようにしたことを

特徴とするものである。

【 0 0 2 3 】

請求項 1 7 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを第 1 の微小構造体上に作成するとともに前記周辺回路を第 2 の微小構造体上に作成しておきこれを 1 つの組とし、この組を複数用意し、前記各組の各微小構造体を基板の表裏に集積化するようにしたことを特徴とするものである。

【 0 0 2 4 】

請求項 1 8 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーを第 1 の微小構造体上に作成するとともに、前記周辺回路を前記第 1 の微小構造体よりもサイズが大きな第 2 の微小構造体上に作成しておき、前記第 2 の微小構造体の一部に前記第 1 の微小構造体を収納して集積化するようにしたことを特徴とするものである。

【 0 0 2 5 】

請求項 1 9 に記載の発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とを備えた強誘電体メモリの製造方法であって、前記パッシブマトリクスアレーは複数の微小構造体上に作成しておき、その複数の微小構造体を基板内に積み重ねて集積化するようにしたことを特徴とするものである。

【 0 0 2 6 】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照して説明する。

本発明の強誘電体メモリの第 1 実施形態について、図 1 及び図 2 を参照して説明する。この第 1 実施形態に係る強誘電体メモリは、図 1 及び図 2 に示すように、パッシブマトリクスアレー・マイクロチップ 4 1 を、周辺回路基板 4 2 上に集積化したものである。

【0027】

パッシブマトリクスアレー・マイクロチップ41は、図24及び図25に示すような構成からなるパッシブマトリクスアレーを、マイクロチップ化したものである。周辺回路基板42のほぼ中央にテーパを有する凹部46が設けられ、その凹部46内にパッシブマトリクスアレー・マイクロチップ41が収容されて集積化されている。このパッシブマトリクスアレー・マイクロチップは、例えばシリコン基板、プラスチックシート、ガラス基板、セラミック基板上にパッシブマトリクスアレーを形成し、切り出しまたは異方性エッチングを行い、微小構造体とすることにより形成される。周辺回路基板42であって、パッシブマトリクスアレー・マイクロチップ41が集積化される周囲には、その周辺回路としてワードライン駆動回路43、ビットライン駆動回路（センスアンプを含む）44、および制御回路45が形成されている。

【0028】

ここで、以下の各実施形態において、パッシブマトリクスアレーという場合には、図24及び図25に示すような構成からなるメモリセルアレイをいう。

また、上記の周辺回路基板42は、例えばシリコンウエハ（シリコン基板）等が使用可能である。そして、以下の各実施形態において、何々基板という場合には、上記に例示したものが使用可能である。

【0029】

さらに、以下の各実施形態において、何々マイクロチップという場合には、例えばシリコン基板、プラスチックシート、ガラス基板、セラミック基板上にそのマイクロチップ化する回路などを形成し、切り出しまたは異方性エッチングを行い、微小構造体とすることにより形成される。

次に、このような構成の第1実施形態に係る強誘電体メモリの製造方法の一例について説明する。

【0030】

まず、パッシブマトリクスアレーを、微小構造体であるパッシブマトリクスアレー・マイクロチップ41上に作成しておく。一方、周辺回路基板42は、そのほぼ中央にパッシブマトリクスアレー・マイクロチップ41を収容する凹部46

を作成するとともに、その凹部 4 6 の周囲に、ワードライン駆動回路 4 3、ビットライン駆動回路 4 4、および制御回路 4 5 を作成しておく。

【 0 0 3 1 】

次に、周辺回路基板 4 2 の凹部 4 6 にパッシブマトリクスアレー・マイクロチップ 4 1 を入れる。さらに、パッシブマトリクスアレー・マイクロチップ 4 1 は、ワードライン駆動回路 4 3 やビットライン駆動回路 4 4 等と電氣的に接続するなどの処理を行い、周辺回路基板 4 2 上に集積化する。

以上説明したように、第 1 実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

【 0 0 3 2 】

図 3 は、第 1 実施形態の変形例であり、この変形例は図 1 の周辺回路基板 4 2 に作成される制御回路 4 5 を省略したものである。この変形例のその他の部分の構成は図 1 と同様であるので、同一の構成要素には同一符号を付してその説明は省略する。

次に、本発明の強誘電体メモリの第 2 実施形態について、図 4 及び図 5 を参照して説明する。

【 0 0 3 3 】

この第 2 実施形態に係る強誘電体メモリは、図 1 に示す第 1 実施形態の大規模化を図るようにしたものであり、図 4 に示すように、図 1 に示す周辺回路基板 4 2 を大型な周辺回路基板 4 2 A に代え、この周辺回路基板 4 2 A 上に、複数（この例では 9 個）のパッシブマトリクスアレー・マイクロチップ 4 1 を集積化したものである。

【 0 0 3 4 】

またこれに伴って、周辺回路基板 4 2 A に形成されるワードライン駆動回路 4 3 A、ビットライン駆動回路（センスアンプを含む） 4 4 A、および制御回路 4 5 A も大型化されている。

次に、このような構成の第 2 実施形態に係る強誘電体メモリの製造方法の一例

について説明する。

【 0 0 3 5 】

まず、パッシブマトリクスアレーを、微小構造体であるパッシブマトリクスアレー・マイクロチップ 4 1 により複数作成しておく。一方、周辺回路基板 4 2 A は、そのほぼ中央に、パッシブマトリクスアレー・マイクロチップ 4 1 を収容すべき凹部 4 6 A を複数作成しておくとともに、その凹部 4 6 A の周囲に、ワードライン駆動回路 4 3 A、ビットライン駆動回路 4 4 A、および制御回路 4 5 A をそれぞれ作成しておく。

【 0 0 3 6 】

次に、周辺回路基板 4 2 A の各凹部 4 6 A にパッシブマトリクスアレー・マイクロチップ 4 1 を収容する。さらに、複数のパッシブマトリクスアレー・マイクロチップ 4 1 は、ワードライン駆動回路 4 3 A やビットライン駆動回路 4 4 A 等と電氣的に接続するなどの所定の処理を行い、周辺回路基板 4 2 A 上に集積化する。

【 0 0 3 7 】

以上説明したように、第 2 実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

また、この第 2 実施形態によれば、パッシブマトリクスアレー・マイクロチップ 4 1 を複数備えるようにしたので、大規模な強誘電体メモリが実現できる。図 6 は、第 2 実施形態の変形例であり、この変形例は図 4 の周辺回路基板 4 2 A に作成される制御回路 4 5 A を省略したものである。この変形例のその他の部分の構成は図 1 と同様であるので、同一の構成要素には同一符号を付してその説明は省略する。

【 0 0 3 8 】

次に、本発明の強誘電体メモリの第 3 実施形態について、図 7 及び図 8 を参照して説明する。

この第 3 実施形態に係る強誘電体メモリは、図 7 及び図 8 に示すように、パッ

シブマトリクスアレー基板 51 上に、ワードライン駆動回路マイクロチップ 52 とビットライン駆動回路マイクロチップ 53 とを集積化したものである。

【0039】

パッシブマトリクスアレー基板は 51 は、そのほぼ中央に、パッシブマトリクスアレー 54 が形成されている。ワードライン駆動回路マイクロチップ 52 とビットライン駆動回路マイクロチップ 53 とは、パッシブマトリクスアレーの各メモリセルの読み書きを行うためのワードライン駆動回路とビットライン駆動回路とを、例えばシリコン基板上に作成し、切り出しまたは異方性エッチングを行い、微小構造体とすることによりマイクロチップ化したものである。

【0040】

次に、このような構成の第 3 実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、ワードライン駆動回路マイクロチップ 52 とビットライン駆動回路マイクロチップ 53 とを、それぞれ作成しておく。一方、パッシブマトリクスアレー基板 51 は、そのほぼ中央にパッシブマトリクスアレー 54 を形成するとともに、そのパッシブマトリクスアレー 54 の周囲に、ワードライン駆動回路マイクロチップ 52 を収容する凹部 55 と、ビットライン駆動回路マイクロチップ 53 を収容する凹部（図示せず）を設けておく。

【0041】

次に、パッシブマトリクスアレー基板 51 の凹部 55 等に、ワードライン駆動回路マイクロチップ 52 とビットライン駆動回路マイクロチップ 53 とを収容する。その後、ワードライン駆動回路マイクロチップ 52 及びビットライン駆動回路マイクロチップ 53 は、パッシブマトリクスアレー 54 と電氣的に接続するなどの所定の処理を行い、パッシブマトリクスアレー基板 51 上に集積化する。

以上説明したように、第 3 実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

【0042】

次に、本発明の強誘電体メモリの第4実施形態について、図9を参照して説明する。

この第4実施形態に係る強誘電体メモリは、図7に示す第3実施形態の大規模化を図るようにしたものであり、図9に示すように、図7に示すパッシブマトリクスアレー基板51を大型なパッシブマトリクスアレー基板51Aに代え、このパッシブマトリクスアレー基板51A上に、複数のワードライン駆動回路マイクロチップ52と、複数のビットライン駆動回路マイクロチップ53とを集積化したものである。また、これに伴って、パッシブマトリクスアレー基板51Aに形成されるパッシブマトリクスアレー54Aも大型化されている。

【0043】

次に、このような構成の第4実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、ワードライン駆動回路マイクロチップ52とビットライン駆動回路マイクロチップ53とを、それぞれ複数個ずつ作成しておく。一方、パッシブマトリクスアレー基板51Aは、そのほぼ中央にパッシブマトリクスアレー54Aを形成するとともに、そのパッシブマトリクスアレー54Aの周囲に、ワードライン駆動回路マイクロチップ52を収容する複数の凹部（図示せず）と、ビットライン駆動回路マイクロチップ53を収容する凹部（図示せず）を設けておく。

【0044】

次に、パッシブマトリクスアレー基板51Aの各凹部に、複数のワードライン駆動回路マイクロチップ52と複数のビットライン駆動回路マイクロチップ53とを収容する。その後、複数のワードライン駆動回路マイクロチップ52及び複数のビットライン駆動回路マイクロチップ53は、パッシブマトリクスアレー54Aと電氣的に接続するなどの所定の処理を行い、パッシブマトリクスアレー基板51A上に集積化する。

【0045】

以上説明したように、第4実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくでき

る。

また、この第 4 実施形態によれば、ワードライン駆動回路マイクロチップ 5 2 等を複数備えるようにしたので、大規模な強誘電体メモリが実現できる。

【 0 0 4 6 】

次に、本発明の強誘電体メモリの第 5 実施形態について、図 1 0 及び図 1 1 を参照して説明する。

この第 5 実施形態に係る強誘電体メモリは、図 1 0 及び図 1 1 に示すように、実装基板 6 1 上に、パッシブマトリクスアレー・マイクロチップ 6 2、ワードライン駆動回路マイクロチップ 6 3、ビットライン駆動回路マイクロチップ 6 4 を集積化したものである。

【 0 0 4 7 】

パッシブマトリクスアレー・マイクロチップ 6 2 は、パッシブマトリクスアレーをマイクロチップ化したものである。ワードライン駆動回路マイクロチップ 6 3 とビットライン駆動回路マイクロチップ 6 4 とは、上記のパッシブマトリクスアレーの各メモリセルの読み書きを行うための周辺回路としてのワードライン駆動回路とビットライン駆動回路とを、マイクロチップ化したものである。

【 0 0 4 8 】

実装基板 6 1 は、そのほぼ中央にパッシブマトリクスアレー・マイクロチップ 6 2 を収容する凹部 6 5 と、その凹部 6 5 の周囲にワードライン駆動回路マイクロチップ 6 3 を収容する凹部 6 6 及びビットライン駆動回路マイクロチップ 6 4 を収容する凹部（図示せず）とが形成されている。各マイクロチップ 6 2 ～ 6 3 は、その各凹部に収容されて実装基板 6 1 上に集積化されている。

【 0 0 4 9 】

次に、このような構成の第 5 実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、パッシブマトリクスアレー・マイクロチップ 6 2 と、ワードライン駆動回路マイクロチップ 6 3 と、ビットライン駆動回路マイクロチップ 6 4 とをそれぞれ作成しておく。一方、実装基板 6 1 は、その中央にパッシブマトリクスアレー・マイクロチップ 6 2 を収容する凹部 6 5 と、その凹部 6 5 の周囲にワードラ

イン駆動回路マイクロチップ 6 3 を収容する凹部 6 6 と、ビットライン駆動回路マイクロチップ 6 4 を収容する凹部（図示せず）とを作成しておく。

【 0 0 5 0 】

次に、その実装基板 6 1 の各凹部に、パッシブマトリクスアレー・マイクロチップ 6 2、ワードライン駆動回路マイクロチップ 6 3、およびビットライン駆動回路マイクロチップ 6 4 を収容する。その後、ワードライン駆動回路マイクロチップ 6 3 及びビットライン駆動回路マイクロチップ 6 4 と、パッシブマトリクスアレー・マイクロチップ 6 2 と電氣的に接続するなど所定の処理を行い、これらを実装基板 6 1 上に集積化する。

【 0 0 5 1 】

以上説明したように、第 5 実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

次に、本発明の強誘電体メモリの第 6 実施形態について、図 1 2 を参照して説明する。この第 6 実施形態に係る強誘電体メモリは、図 1 0 に示す第 5 実施形態の大規模化を図るようにしたものであり、図 1 2 に示すように、図 1 0 に示す実装基板 6 1 を大型な実装基板 6 1 A に代え、この実装基板 6 1 A 上のほぼ中央に複数（この例では 9 個）のパッシブマトリクスアレー・マイクロチップ 6 2 を集積するとともに、そのパッシブマトリクスアレー・マイクロチップ 6 2 の周囲の実装基板 6 1 A 上に、複数のワードライン駆動回路マイクロチップ 6 3 A と複数のビットライン駆動回路マイクロチップ 6 4 A とを集積化したものである。

【 0 0 5 2 】

次に、このような構成の第 6 実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、パッシブマトリクスアレー・マイクロチップ 6 2、ワードライン駆動回路マイクロチップ 6 3 A、およびビットライン駆動回路マイクロチップ 6 4 A をそれぞれ複数個ずつ作成しておく。一方、実装基板 6 1 A は、パッシブマトリクスアレー・マイクロチップ 6 2、ワードライン駆動回路マイクロチップ 6 3、お

よびビットライン駆動回路マイクロチップ64をそれぞれ収容する凹部（図示せず）を形成しておく。

【0053】

次に、その実装基板61Aの各凹部に、複数のパッシブマトリクスアレー・マイクロチップ62、複数のワードライン駆動回路マイクロチップ63、および複数のビットライン駆動回路マイクロチップ64をそれぞれ収容する。その後、複数のワードライン駆動回路マイクロチップ63及び複数のビットライン駆動回路マイクロチップ64と、複数のパッシブマトリクスアレー・マイクロチップ62と電氣的に接続するなど所定の処理を行い、これらを実装基板61A上に集積化する。

【0054】

以上説明したように、第6実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

また、この第6実施形態によれば、パッシブマトリクスアレー・マイクロチップ62やワードライン駆動回路マイクロチップ63Aをそれぞれ複数備えるようにしたので、大規模な強誘電体メモリが実現できる。

【0055】

図13は、第6実施形態の変形例であり、この変形例は図12の実装基板61A上に、制御回路をマイクロチップ化した制御回路マイクロチップ67の集積化を追加するようにしたものである。この変形例のその他の部分の構成は図12と同様であるので、同一の構成要素には同一符号を付してその説明は省略する。

次に、本発明の強誘電体メモリの第7実施形態について、図14及び図15を参照して説明する。

【0056】

この第7実施形態に係る強誘電体メモリは、図10に示す第5実施形態のパッシブマトリクスアレー・マイクロチップ62、ワードライン駆動回路マイクロチップ63、ビットライン駆動回路マイクロチップ64を、図14に示すように、

それぞれ形状が異なるパッシブマトリクスアレー・マイクロチップ 6 2 A、ワードライン駆動回路マイクロチップ 6 3 A、ビットライン駆動回路マイクロチップ 6 4 Aに代え、これらの各マイクロチップを実装基板 6 1 上に集積化するようにしたものである。

【 0 0 5 7 】

実装基板 6 1 は、ほぼ中央にパッシブマトリクスアレー・マイクロチップ 6 2 A を收容する凹部 6 5 A に形成され、その凹部 6 5 A の周囲に、ワードライン駆動回路マイクロチップ 6 3 A を終了する凹部 6 6 A とビットライン駆動回路マイクロチップ 6 4 A を收容する凹部（図示せず）とが形成されている。各マイクロチップ 6 2 A ～ 6 3 A は、その各凹部に收容されて実装基板 6 1 上に集積化されている。

【 0 0 5 8 】

ここで、実装基板 6 1 は、光硬化樹脂による金型転写により作成するようにするのが、実装基板 6 1 を安価にできる点で好ましい。

次に、このような構成の第 7 実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、パッシブマトリクスアレー・マイクロチップ 6 2 A と、ワードライン駆動回路マイクロチップ 6 3 A と、ビットライン駆動回路マイクロチップ 6 4 A とを、それぞれ形状が異なるように作成しておく。一方、実装基板 6 1 は、各マイクロチップ 6 2 A ～ 6 4 A を收容する凹部 6 5 A、6 6 A を作成しておく。

【 0 0 5 9 】

次に、その実装基板 6 1 の各凹部に、対応するマイクロチップ 6 2 A ～ 6 4 A を收容（配列）する。

この実装基板 6 1 の各凹部に、対応するマイクロチップ 6 2 A ～ 6 4 A を配列するには、マイクロチップ 6 2 A ～ 6 4 A を含む流体を実装基板 6 1 の表面に供給し、これにより複数のマイクロチップ 6 2 A ～ 6 4 A を実装基板 6 1 の対応する凹部に配列するのが好ましい。

【 0 0 6 0 】

その後、マイクロチップ 6 2 A ～ 6 4 A 上に封止用絶縁膜 6 8 を形成した後、

パッシブマトリクスアレー・マイクロチップ 6 2 A とワードライン駆動回路マイクロチップ 6 3 A 等を配線 6 9 により電氣的に接続するなど所定の処理をし、マイクロチップ 6 2 A ～ 6 4 A を実装基板 6 1 上に集積化する。

以上説明したように、第 7 実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

【 0 0 6 1 】

また、第 7 実施形態によれば、パッシブマトリクスアレーと周辺回路とを形状の異なるマイクロチップ 6 2 A ～ 6 4 A で形成し、その各マイクロチップ 6 2 A ～ 6 4 A を実装基板 6 1 の対応する各凹部に収容するようにした。このため、マイクロチップ 6 2 A ～ 6 4 A を含む流体を実装基板 6 1 の表面に供給することにより、マイクロチップ 6 2 A ～ 6 4 A を実装基板 6 1 上に同時にマウントすることができる。

【 0 0 6 2 】

さらに、第 7 実施形態において、実装基板 6 1 を光硬化樹脂による金型転写により作成するようにすれば、実装基板 6 1 が安価となる。

次に、本発明の強誘電体メモリの第 8 実施形態について、図 1 6 を参照して説明する。この第 8 実施形態に係る強誘電体メモリは、図 1 4 に示す第 7 実施形態のパッシブマトリクスアレー・マイクロチップ 6 2 A、ワードライン駆動回路マイクロチップ 6 3 A、ビットライン駆動回路マイクロチップ 6 4 A を 1 組とする強誘電体メモリ 7 0 を 2 組備え、図 1 6 に示すように、そのうちの 1 組の強誘電体メモリ 7 0 の各マイクロチップ 6 2 A ～ 6 4 A を実装基板 6 1 の表面側に集積化するとともに、他の 1 組の強誘電体メモリ 7 0 の各マイクロチップ 6 2 A ～ 6 4 A を実装基板 6 1 の裏面側に集積化するようにしたものである。

【 0 0 6 3 】

なお、この第 8 実施形態の製造方法は、第 7 実施形態の製造方法が適用可能であるので、その説明は省略する。

以上説明したように、第 8 実施形態によれば、パッシブマトリクスアレー等を

それぞれマイクロチップで形成するとともに、その各マイクロチップを実装基板 6 1 の表裏に配置するようにしたので、製造プロセスでの制約を小さくできることに加えて、大容量、大規模な強誘電体メモリを実現できる。

【 0 0 6 4 】

次に、本発明の強誘電体メモリの第 9 実施形態について、図 1 7 を参照して説明する。この第 9 実施形態に係る強誘電体メモリは、図 1 7 に示すように、実装基板 7 1 上に、強誘電体メモリを形成する複数のマイクロチップと、その強誘電体メモリと同一機能を有する S R A M を形成する S R A M マイクロチップ 7 6 とを集積化したものである。強誘電体メモリを形成する複数のマイクロチップは、図 1 7 に示すように、パッシブマトリクスアレー・マイクロチップ 7 2、ワードライン駆動回路マイクロチップ 7 3、ビットライン駆動回路マイクロチップ 7 4、および制御回路マイクロチップ 7 5 である。

【 0 0 6 5 】

パッシブマトリクスアレー・マイクロチップ 7 2、ワードライン駆動回路マイクロチップ 7 3、ビットライン駆動回路マイクロチップ 7 4 は、図 1 0 に示すパッシブマトリクスアレー・マイクロチップ 6 2、ワードライン駆動回路マイクロチップ 6 3、ビットライン駆動回路マイクロチップ 6 4 に相当するものである。制御回路マイクロチップ 7 5 は、制御回路をマイクロチップ化したものである。また、S R A M マイクロチップ 7 6 は、S R A M をマイクロチップ化したものである。

【 0 0 6 6 】

なお、上記の例では、実装基板 7 1 上に、強誘電体メモリを形成する複数のマイクロチップと、その強誘電体メモリと同一機能を有する S R A M を形成する S R A M マイクロチップ 7 6 とを集積化するようにした。しかし、S R A M マイクロチップ 7 6 を、強誘電体メモリと異なる機能を有する所定の関連回路をマイクロチップにしたものに代えるようにしても良い。また、別々の機能を有する回路、例えばパッシブマトリクスアレーとビットライン駆動回路を同一マイクロチップ内に集積化する構成として、本実施例を適用してもよい。

【 0 0 6 7 】

次に、このような構成からなる第 9 実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、上述のマイクロチップ 7 2 ～ 7 6 をそれぞれ作成しておく。一方、実装基板 7 1 には、そのマイクロチップ 7 2 ～ 7 6 を収容する凹部（図示せず）設けておく。次に、その実装基板 7 1 の対応する各凹部に、マイクロチップ 7 2 ～ 7 6 を収容する。その後、マイクロチップ 7 2 ～ 7 6 の間で所定の電氣的な接続をするなどの所定の処理を行い、これらを実装基板 7 1 上に集積化する。

【 0 0 6 8 】

以上説明したように、第 9 実施形態によれば、パッシブマトリクスアレーとその周辺回路や S R A M とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

また、第 9 実施形態によれば、強誘電体メモリと同一機能または異なる機能を有する所定の関連回路を備えるようにしたので、付加価値のある強誘電体メモリを実現できる。

【 0 0 6 9 】

次に、本発明の強誘電体メモリの第 1 0 実施形態について、図 1 8 を参照して説明する。

この第 1 0 実施形態に係る強誘電体メモリは、図 1 8 に示すように、パッシブマトリクスアレー 8 2、ワードライン駆動回路 8 3、及びビットライン駆動回路 8 4 を、マイクロチップ 8 1 で一体に集積化するようにしたものである。ワードライン駆動回路 8 3 とビットライン駆動回路 8 4 とは、パッシブマトリクスアレー 8 2 のメモリセルに対するデータの読み書きを行う周辺回路である。

【 0 0 7 0 】

以上説明したように、第 1 0 実施形態によれば、パッシブマトリクスアレーと周辺回路とを、マイクロチップ 8 1 で一体に集積化するようにしたので、パッシブマトリクスアレーと周辺回路との間の配線に段差がなくなり、そのために配線が短くなって高速書き込み・読み出し可能な強誘電体メモリを実現できる。

次に、本発明の強誘電体メモリの第 1 1 実施形態について、図 1 9 を参照して

説明する。

【0071】

この第11実施形態に係る強誘電体メモリは、図18に示す第10実施形態のマイクロチップ81を複数（この場合には4個）備え、この複数のマイクロチップ81と制御回路マイクロチップ86とを、実装基板87上に集積化したものである。

制御回路マイクロチップ86は、マイクロチップ81内のパッシブマトリクスアレーのメモリセル等を制御する制御回路をマイクロチップ化したものである。実装基板87には、複数のマイクロチップ81と制御回路マイクロチップ86を収容する凹部（図示せず）が形成され、この各凹部に複数のマイクロチップ81と制御回路マイクロチップ86が収容されて、各マイクロチップが実装基板87上に集積化されている。

【0072】

次に、このような構成の第11実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、複数のマイクロチップ81と制御回路マイクロチップ86をそれぞれ作成しておく。一方、実装基板87には、そのマイクロチップ81、86を収容する凹部（図示せず）を作成しておく。次に、その実装基板87の対応する各凹部に、マイクロチップ81、86を収容する。その後、マイクロチップ81、86の間で所定の電気的な接続をするなどの所定の処理をし、これらを実装基板87上に集積化する。

【0073】

以上説明したように、第11実施形態によれば、複数のマイクロチップ81を実装基板87上に集積化するようにしたので、高速動作可能で大規模、大容量の強誘電体メモリを実現できる。

次に、本発明の強誘電体メモリの第12実施形態について、図20及び図21を参照して説明する。

【0074】

この第12実施形態に係る強誘電体メモリは、図20及び図21に示すように

、パッシブマトリクスアレー・マイクロチップ91を、周辺回路マイクロチップ92に集積化したものである。

パッシブマトリクスアレー・マイクロチップ91は、パッシブマトリクスアレーを、マイクロチップ化したものである。周辺回路マイクロチップ92は、そのほぼ中央に設けた凹部95にパッシブマトリクスアレー・マイクロチップ91が収容されて集積化されるとともに、そのパッシブマトリクスアレー・マイクロチップ91の周囲に、ワードライン駆動回路93とビットライン駆動回路（センスアンプを含む）94が形成されている。

【0075】

次に、このような構成の第12実施形態に係る強誘電体メモリの製造方法の一例について説明する。

まず、パッシブマトリクスアレーをパッシブマトリクスアレー・マイクロチップ91により作成しておく。一方、周辺回路マイクロチップ92は、そのほぼ中央にパッシブマトリクスアレー・マイクロチップ91を収容すべき凹部95を作成しておくとともに、その凹部95の周囲に、ワードライン駆動回路93、ビットライン駆動回路94を作成しておく。次に、周辺回路マイクロチップ92の凹部95にパッシブマトリクスアレー・マイクロチップ91を収容する。その後、パッシブマトリクスアレー・マイクロチップ91は、ワードライン駆動回路93等と電氣的に接続するなど所定の処理を行い、周辺回路マイクロチップ92上に集積化する。

【0076】

以上説明したように、第12実施形態によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

また、第12実施形態によれば、パッシブマトリクスアレー・マイクロチップ91を、周辺回路マイクロチップ92の一部に収容して集積化したので、小型化が実現できる。また、このパッシブマトリクスアレー・マイクロチップ91を周辺回路マイクロチップ92の一部に収容したものを複数個実装基板上に集積し、

大容量強誘電体メモリを形成することも可能である。

【0077】

次に、本発明の強誘電体メモリの第13実施形態について、図22を参照して説明する。

この第13実施形態に係る強誘電体メモリは、図22に示すように、複数（この例では2個）のパッシブマトリクスアレー・マイクロチップ101、102を、実装基板103内に積み重ねて集積化するようにしたものである。

【0078】

実装基板103にはテーパを有する凹部104が形成され、その凹部104の底部にパッシブマトリクスアレー・マイクロチップ101が収容されている。パッシブマトリクスアレー・マイクロチップ101の上には取り出し配線105が設けられ、その取り出し配線105の上にパッシブマトリクスアレー・マイクロチップ102が設けられている。パッシブマトリクスアレー・マイクロチップ102の上には封止用絶縁膜106が設けられ、その封止用絶縁膜106の上にパッシブマトリクスアレー・マイクロチップ102と接続する取り出し配線107が設けられている。

【0079】

なお、取り出し配線105、107は、パッシブマトリクスアレー・マイクロチップ101、102の所定の周辺回路（図示せず）に接続されるようになっている。

次に、このような構成の第13実施形態に係る強誘電体メモリの製造方法の一例について説明する

まず、複数のパッシブマトリクスアレー・マイクロチップ101、102を作成しておく。次に、実装基板103に凹部104を形成したのち、その凹部104内にパッシブマトリクスアレー・マイクロチップ101を収容する。その後、パッシブマトリクスアレー・マイクロチップ101の上に取り出し配線105を形成し、その取り出し配線105の上にパッシブマトリクスアレー・マイクロチップ102を配置する。さらに、パッシブマトリクスアレー・マイクロチップ102の上に封止用絶縁膜106を形成したのち、パッシブマトリクスアレー・マ

マイクロチップ102を取り出し配線107と接続する。

【0080】

以上説明したように、第13実施形態によれば、パッシブマトリクスアレー・マイクロチップ101、102を、実装基板103内に積み重ねて集積化するようにしたので、高集積化が実現できる。

次に、本発明の強誘電体メモリの第14実施形態について、図23を参照して説明する。

【0081】

この第14実施形態に係る強誘電体メモリは、図22の第13実施形態と同様に、複数のパッシブマトリクスアレー・マイクロチップ101、102を、実装基板103内に積み重ねて集積化するようにしたものであるが、その内部構成を図23のようにしたものである。

すなわち、実装基板103にはテーパを有する凹部104が形成され、その凹部104の底部にパッシブマトリクスアレー・マイクロチップ101が収容されている。パッシブマトリクスアレー・マイクロチップ101は取り出し配線105と接続され、パッシブマトリクスアレー・マイクロチップ101の上には絶縁膜108が設けられている。絶縁膜108の上には平坦化膜109が設けられ、その平坦化膜109の上にパッシブマトリクスアレー・マイクロチップ102が設けられている。パッシブマトリクスアレー・マイクロチップ102の上には絶縁膜110が設けられ、パッシブマトリクスアレー・マイクロチップ102は取り出し配線107と接続されている。

【0082】

次に、このような構成の第14実施形態に係る強誘電体メモリの製造方法の一例について説明する

まず、複数のパッシブマトリクスアレー・マイクロチップ101、102を作成しておく。スルーホールが形成された絶縁膜108、110はこの時点で形成されている。次に、実装基板103に凹部104を形成したのち、その凹部104内にパッシブマトリクスアレー・マイクロチップ101を収容する。その後、取り出し配線105を形成する。

【0083】

さらに、平坦化膜109を形成した後、その平坦化膜109の上にパッシブマトリクスアレー・マイクロチップ102を配置する。さらに、パッシブマトリクスアレー・マイクロチップ102に取り出し配線107を接続する。

以上説明したように、第14実施形態によれば、パッシブマトリクスアレー・マイクロチップ101、102を、実装基板103内に積み重ねて集積化するようにしたので、高集積化が実現できる。

【0084】

【発明の効果】

以上述べたように、請求項1～請求項3に係る各発明によれば、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

【0085】

請求項4に係る発明によれば、パッシブマトリクスアレー等を複数の微小構造体から形成するようにしたので、製造プロセスでの制約を小さくできることに加えて、大規模な強誘電体メモリを実現できる。

請求項5に係る発明によれば、パッシブマトリクスアレー等を微小構造体で形成し、その微小構造体を基板の凹部に収容するようにした。このため、製造プロセスでの制約を小さくできることに加えて、その複数の微小構造体を基板上に同時にマウントすることが可能となる。

【0086】

請求項6に係る発明によれば、基板を光硬化樹脂による金型転写により作成するので、基板が安価となる。

請求項7に係る発明によれば、パッシブマトリクスアレー等をそれぞれ微小構造体で形成するとともに、その各微小構造体を実装基板の表裏に配置するようにしたので、製造プロセスでの制約を小さくできることに加えて、大容量、大規模な強誘電体メモリを実現できる。

【0087】

請求項 8 に係る発明によれば、強誘電体メモリと異なる機能または同一機能を有する所定の関連回路を備えるようにしたので、付加価値のある強誘電体メモリを実現できる。また、パッシブマトリクスアレーとその周辺回路等を独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路等に及ばなくなり、製造プロセスでの制約を小さくできる。

【 0 0 8 8 】

請求項 9 に係る発明によれば、パッシブマトリクスアレーと周辺回路とを、微小構造体で一体に集積化するようにしたので、パッシブマトリクスアレーと周辺回路との間の配線に段差がなくなり、そのために配線が短くなって高速書き込み・読み出し可能な強誘電体メモリを実現できる。

請求項 1 0 に係る発明によれば、パッシブマトリクスアレーと周辺回路とを第 1 と第 2 の微小構造体で形成し、第 1 の微小構造体を第 2 の微小構造体の一部に収納したので、製造プロセスでの制約を小さくできることに加えて、小型化が実現できる。

【 0 0 8 9 】

請求項 1 1 に係る発明によれば、パッシブマトリクスアレーを複数の微小構造体から構成し、その複数の微小構造体を実装基板内に積み重ねて集積化するようにしたので、パッシブマトリクスアレーの高集積化、高密度化を実現することができる。

請求項 1 2 ～請求項 1 4 に係る各発明によれば、パッシブマトリクスアレーとその周辺回路とを別個に作成しておくので、パッシブマトリクスアレーを作成する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

【 0 0 9 0 】

請求項 1 5 に係る発明によれば、パッシブマトリクスアレー等を微小構造体で作成しておき、その微小構造体を基板の凹部に収容するようにした。このため、製造プロセスでの制約を小さくできることに加えて、その複数の微小構造体を基板上に同時にマウントすることが可能となる。

請求項 1 6 に係る発明によれば、複数の微小構造体を基板上に同時にマウント

できる。請求項 17 に係る発明によれば、パッシブマトリクスアレー等をそれぞれ微小構造体で作成しておき、その各微小構造体を実装基板の表裏に配置するようにしたので、製造プロセスでの制約を小さくできることに加えて、大容量、大規模な強誘電体メモリを実現できる。

【0091】

請求項 18 に係る発明によれば、パッシブマトリクスアレーと周辺回路とを第 1 と第 2 の微小構造体で形成し、第 1 の微小構造体を第 2 の微小構造体の一部に収納するので、製造プロセスでの制約を小さくできることに加えて、強誘電体メモリの小型化が実現できる。

請求項 19 に係る発明によれば、パッシブマトリクスアレーを複数の微小構造体から作成しておき、その複数の微小構造体を基板内に積み重ねて集積化するようにしたので、パッシブマトリクスアレーの高集積化、高密度化を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の強誘電体メモリの第 1 実施形態の平面図である。

【図 2】

図 1 の A - A 線の断面図であり、パッシブマトリクスアレー・マイクロチップの断面のみを示し、他は省略されている。

【図 3】

第 1 実施形態の変形例の平面図である。

【図 4】

本発明の強誘電体メモリの第 2 実施形態の平面図である。

【図 5】

図 4 の B - B 線の断面図であり、パッシブマトリクスアレー・マイクロチップの断面のみを示し、他は省略されている。

【図 6】

第 2 実施形態の変形例の平面図である。

【図 7】

本発明の強誘電体メモリの第 3 実施形態の平面図である。

【図 8】

図 7 の C - C 線の断面図であり、ワードライン駆動回路マイクロチップのみの断面を示し、他は省略されている。

【図 9】

本発明の強誘電体メモリの第 4 実施形態の平面図である。

【図 1 0】

本発明の強誘電体メモリの第 5 実施形態の平面図である。

【図 1 1】

図 1 0 の D - D 線の断面図である。

【図 1 2】

本発明の強誘電体メモリの第 6 実施形態の平面図である。

【図 1 3】

第 6 実施形態の変形例の平面図である。

【図 1 4】

本発明の強誘電体メモリの第 7 実施形態の平面図である。

【図 1 5】

図 1 4 の E - E 線の断面図である。

【図 1 6】

本発明の強誘電体メモリの第 8 実施形態の概略断面図である。

【図 1 7】

本発明の強誘電体メモリの第 9 実施形態の平面図である。

【図 1 8】

本発明の強誘電体メモリの第 1 0 実施形態の平面図である。

【図 1 9】

本発明の強誘電体メモリの第 1 1 実施形態の平面図である。

【図 2 0】

本発明の強誘電体メモリの第 1 2 実施形態の平面図である。

【図 2 1】

図 2 0 の F - F 線の断面図であり、パッシブマトリクスアレー・マイクロチップの断面のみを示し、他は省略されている。

【図 2 2】

本発明の強誘電体メモリの第 1 3 実施形態の断面図である。

【図 2 3】

本発明の強誘電体メモリの第 1 4 実施形態の断面図である。

【図 2 4】

パッシブマトリクスアレーの構成を示す平面図である。

【図 2 5】

図 2 4 の G - G 線の断面図である。

【図 2 6】

従来の強誘電体メモリの製造工程を説明する図である。

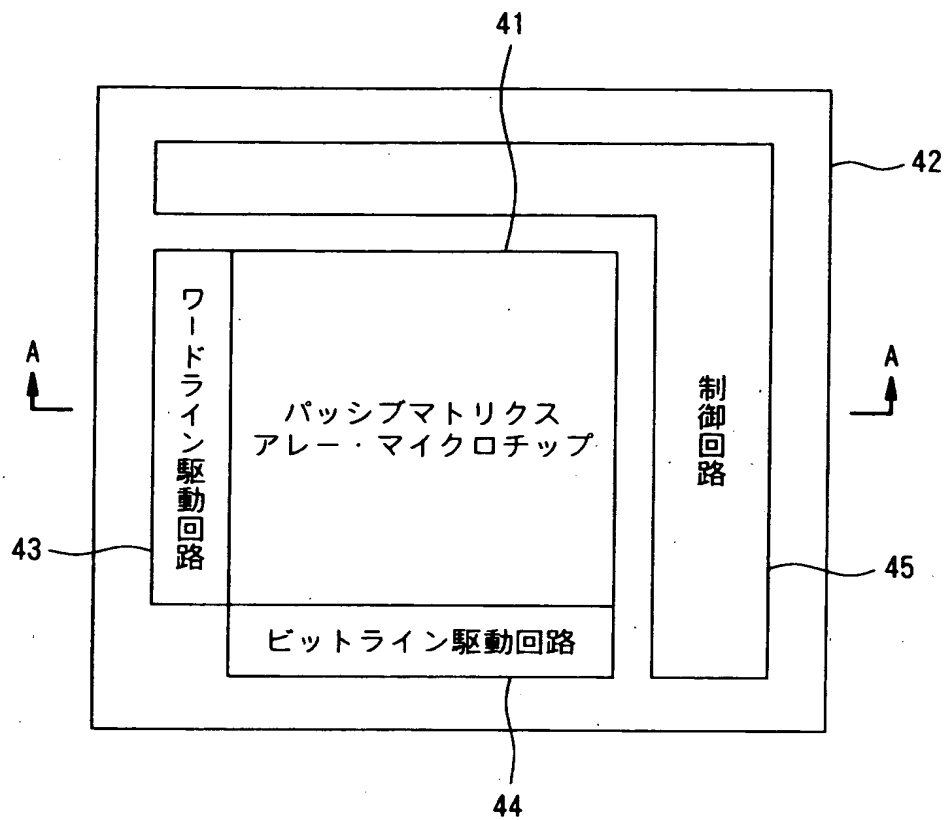
【符号の説明】

- 4 1 パッシブマトリクスアレーマイクロチップ
- 4 2 周辺回路基板
- 4 3 ワードライン駆動回路
- 4 4 ビットライン駆動回路
- 4 5 制御回路
- 4 6 凹部
- 5 1 パッシブマトリクスアレー基板
- 5 2 ワードライン駆動回路マイクロチップ
- 5 3 ビットライン駆動回路マイクロチップ
- 5 4 パッシブマトリクスアレー
- 6 1 実装基板
- 6 2 パッシブマトリクスアレーマイクロチップ
- 6 3 ワードライン駆動回路マイクロチップ
- 6 4 ビットライン駆動回路マイクロチップ
- 6 5 凹部
- 7 1 実装基板

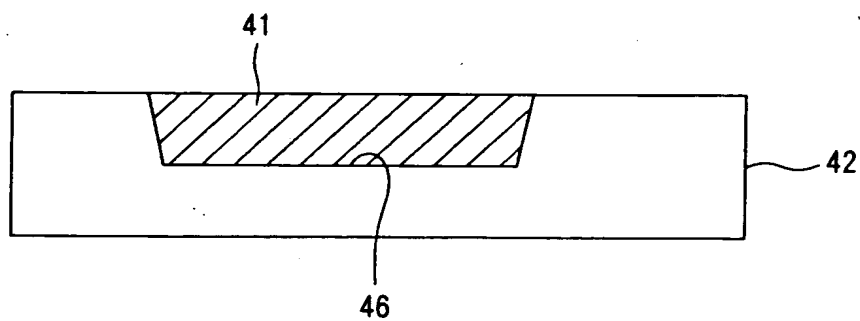
- 7 2 パッシブマトリクスアレーマイクロチップ
- 7 3 ワードライン駆動回路マイクロチップ
- 7 4 ビットライン駆動回路マイクロチップ
- 7 5 制御回路マイクロチップ
- 7 6 S R A M マイクロチップ
- 8 1 マイクロチップ
- 8 2 パッシブマトリクスアレー
- 8 3 ワードライン駆動回路
- 8 4 ビットライン駆動回路
- 9 1 パッシブマトリクスアレーマイクロチップ
- 9 2 マイクロチップ
- 9 3 ワードライン駆動回路
- 9 4 ビットライン駆動回路
- 9 5 凹部
- 1 0 1、1 0 2 パッシブマトリクスアレーマイクロチップ
- 1 0 3 実装基板
- 1 0 4 凹部
- 1 0 5、1 0 7 取り出し配線
- 1 0 6 封止用絶縁膜
- 1 0 8、1 1 0 絶縁膜
- 1 0 9 平坦化膜

【書類名】 図面

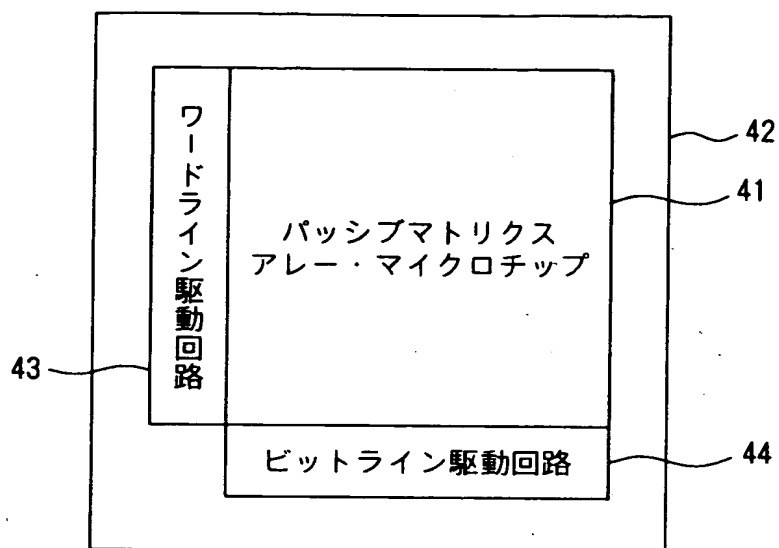
【図 1】



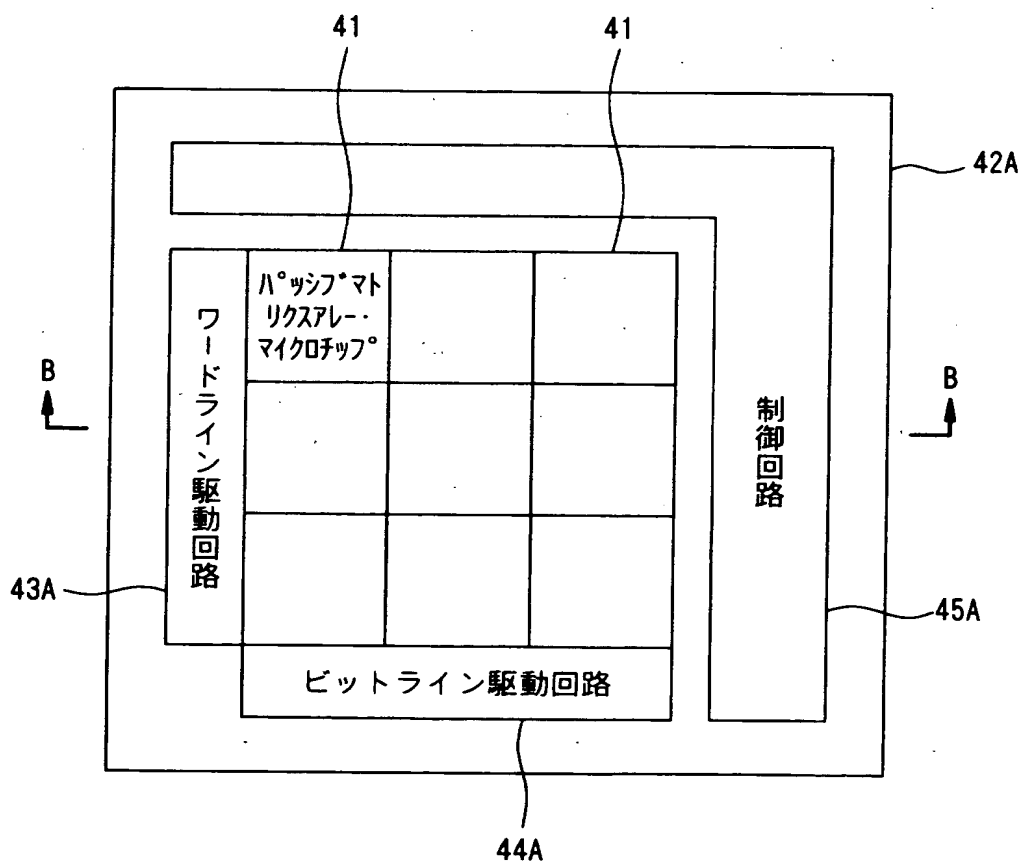
【図 2】



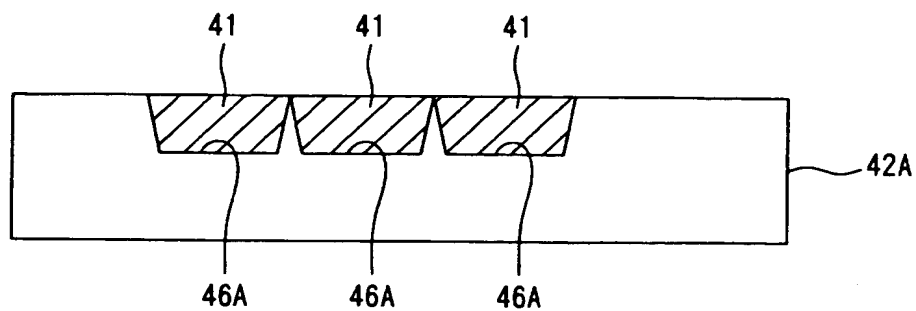
【図 3】



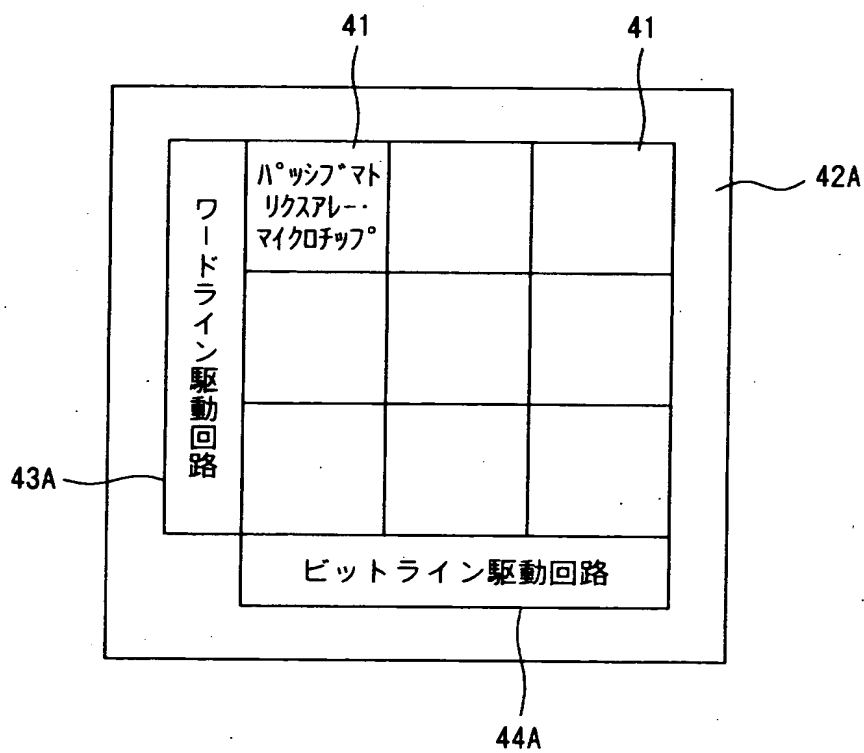
【図 4】



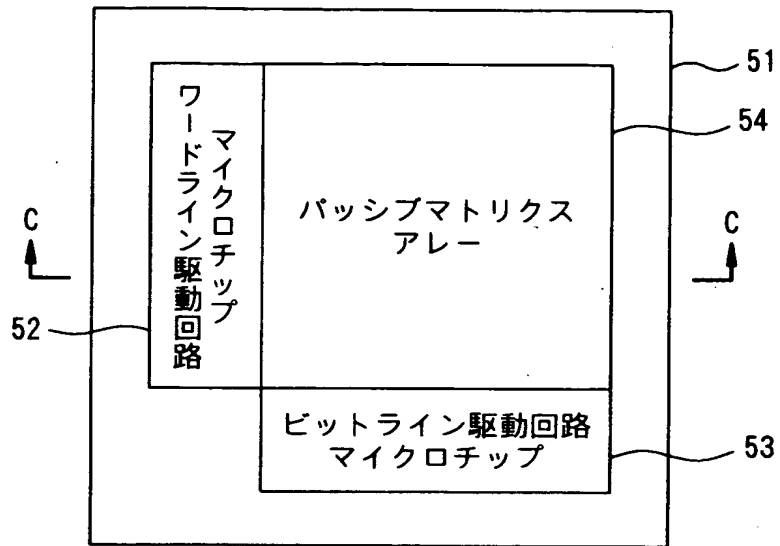
【図 5】



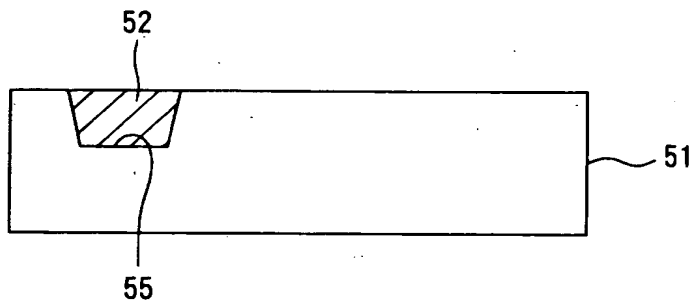
【図 6】



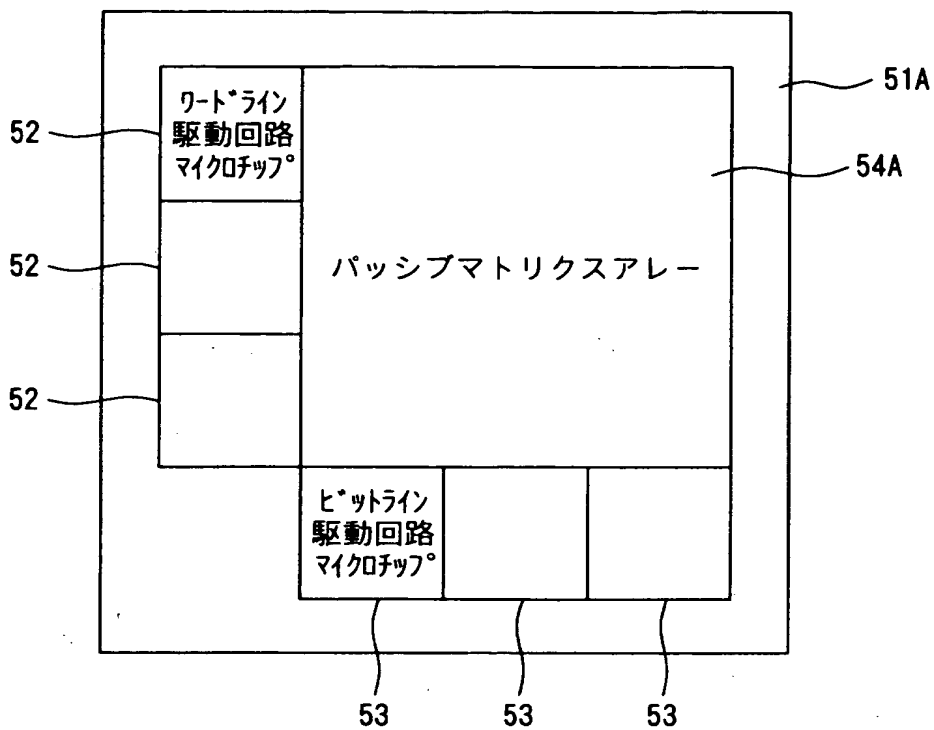
【図 7】



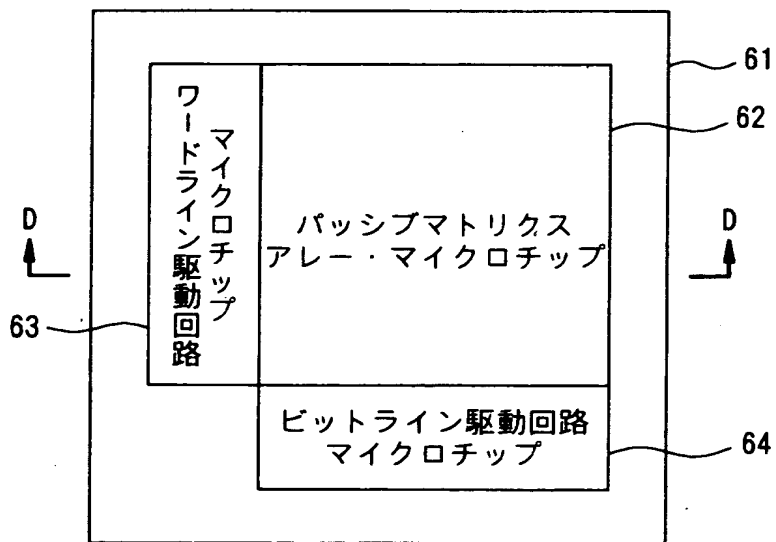
【図 8】



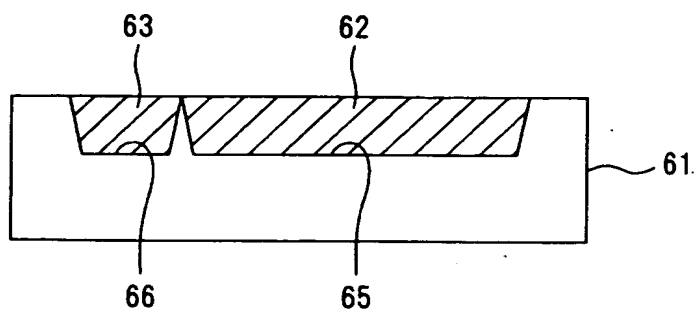
【図 9】



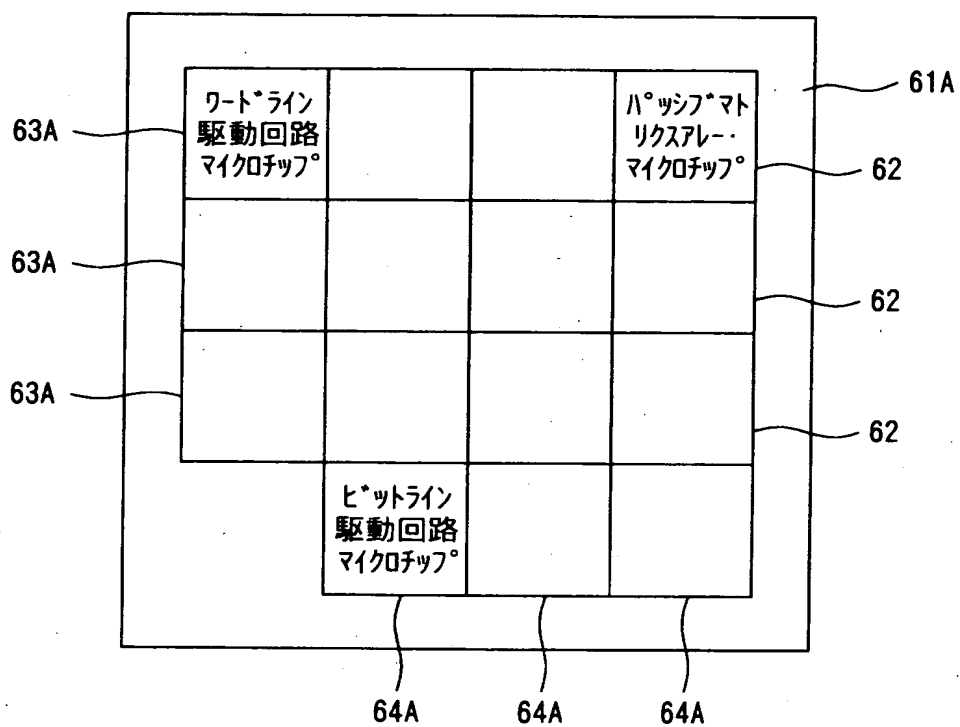
【図 10】



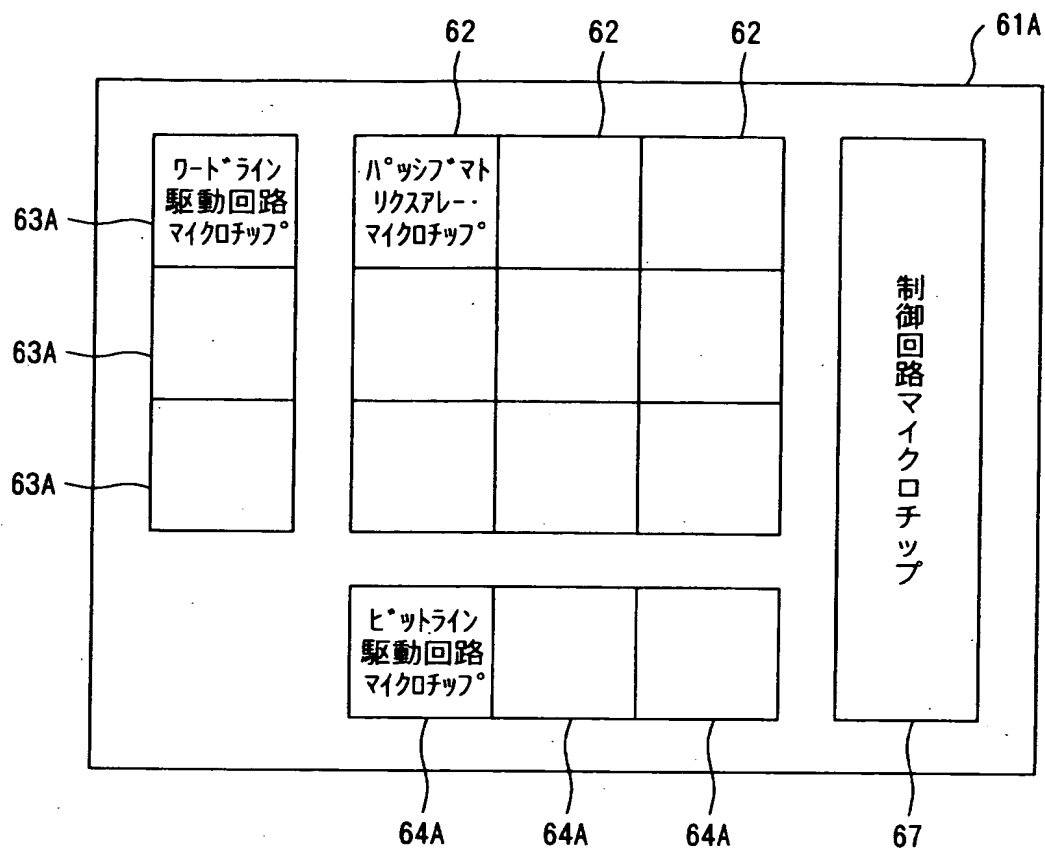
【図 1 1】



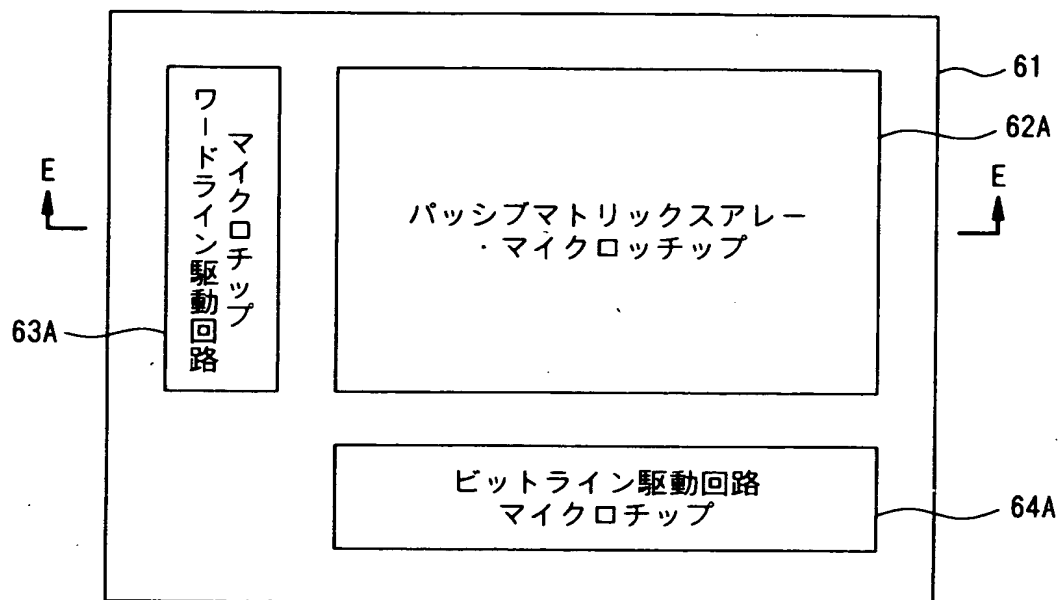
【図 1 2】



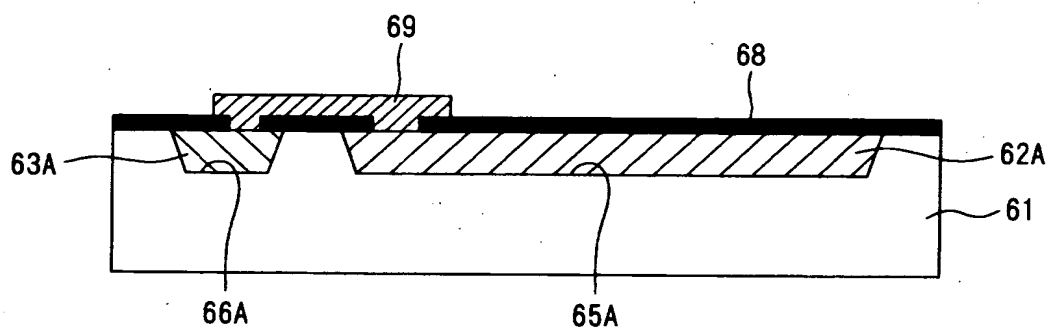
【図 13】



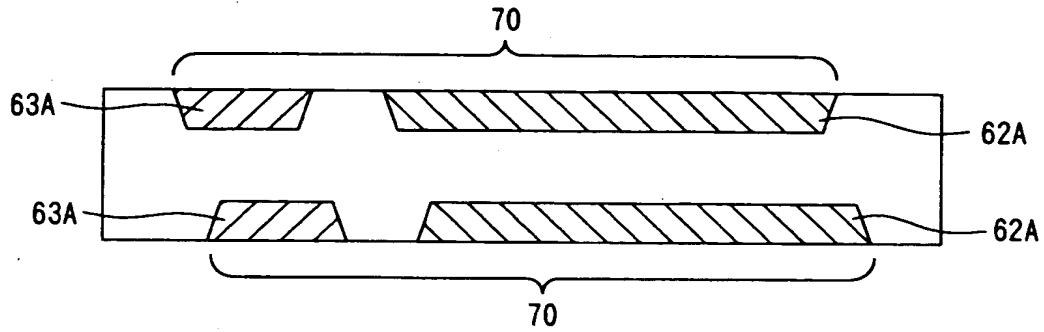
【図 14】



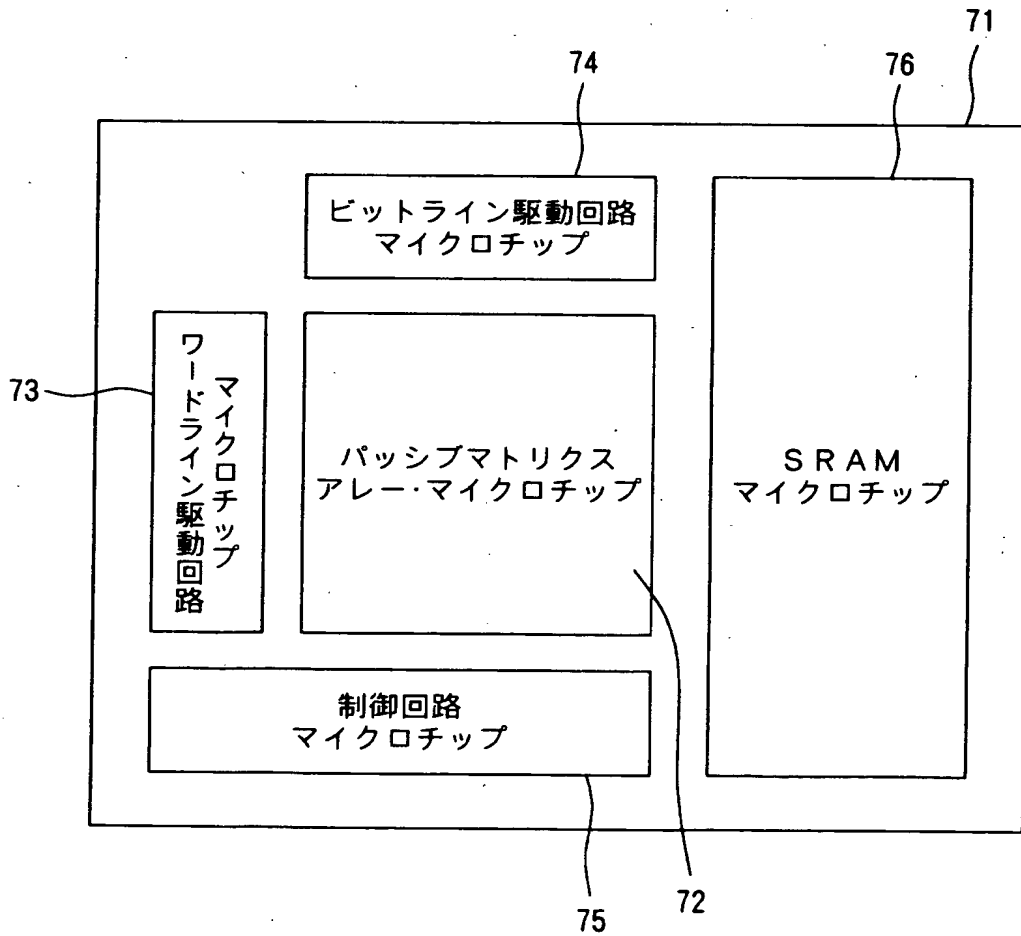
【図 15】



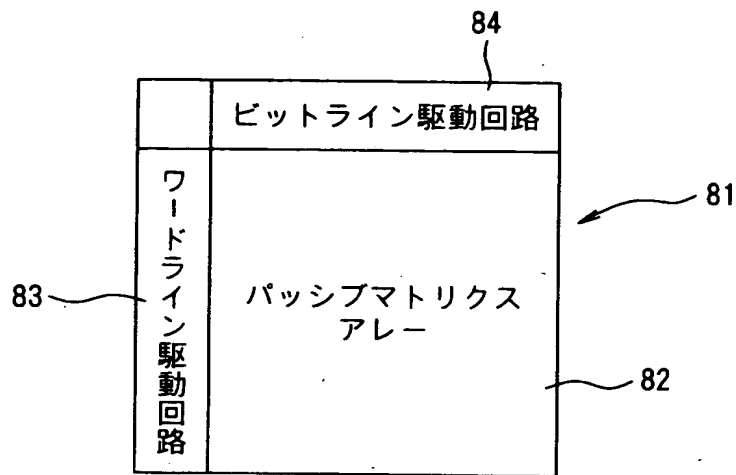
【図 16】



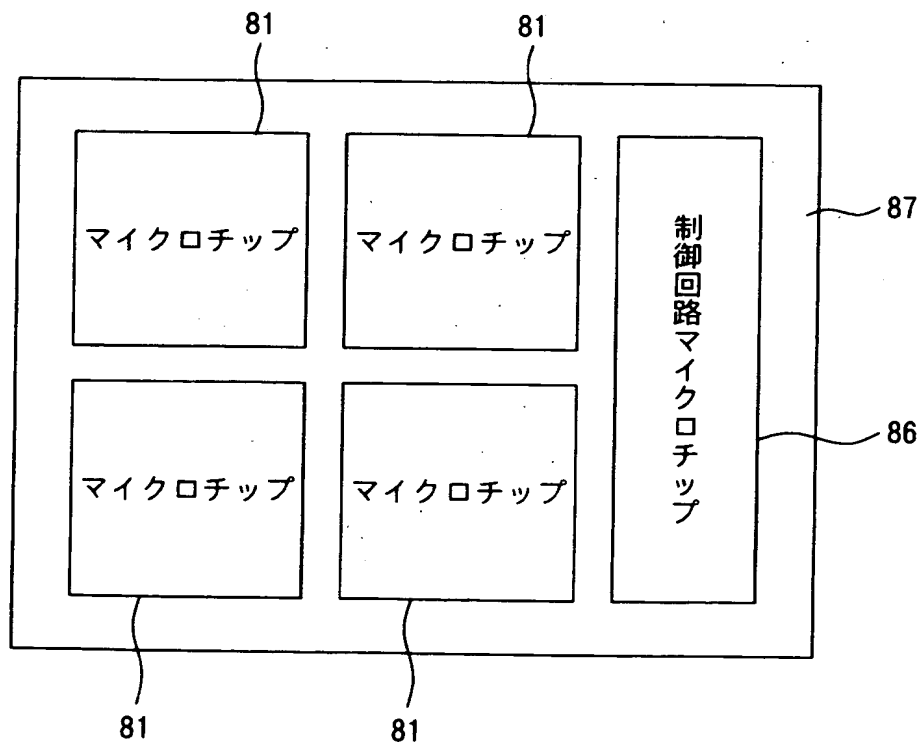
【図 17】



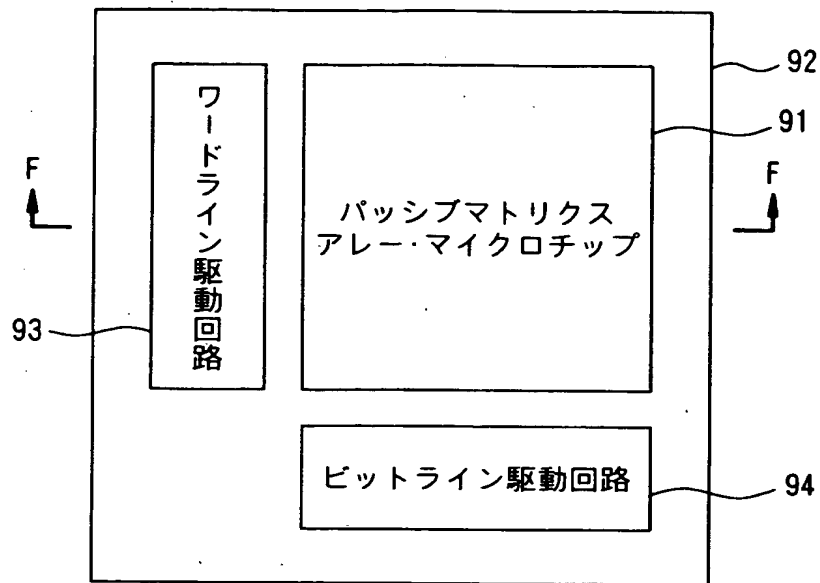
【図 18】



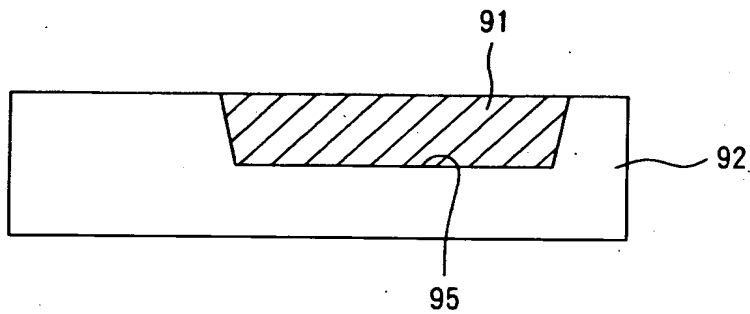
【図 19】



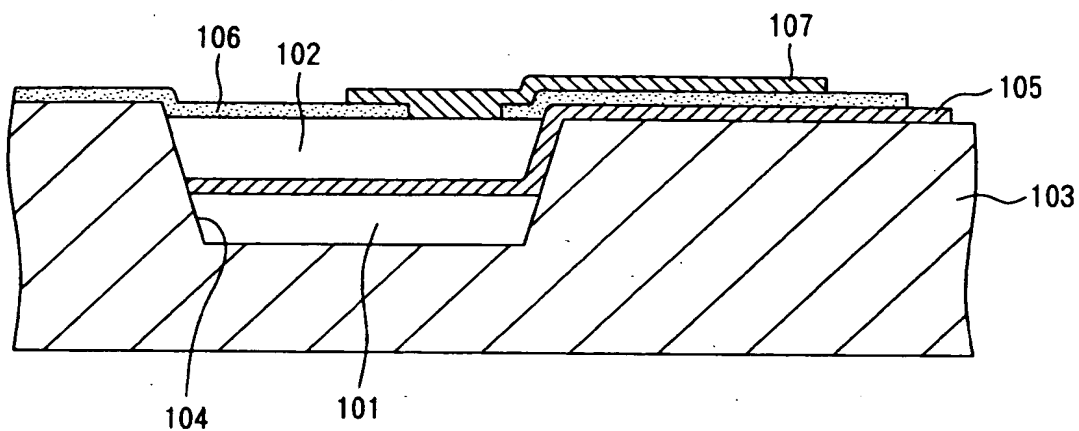
【図 20】



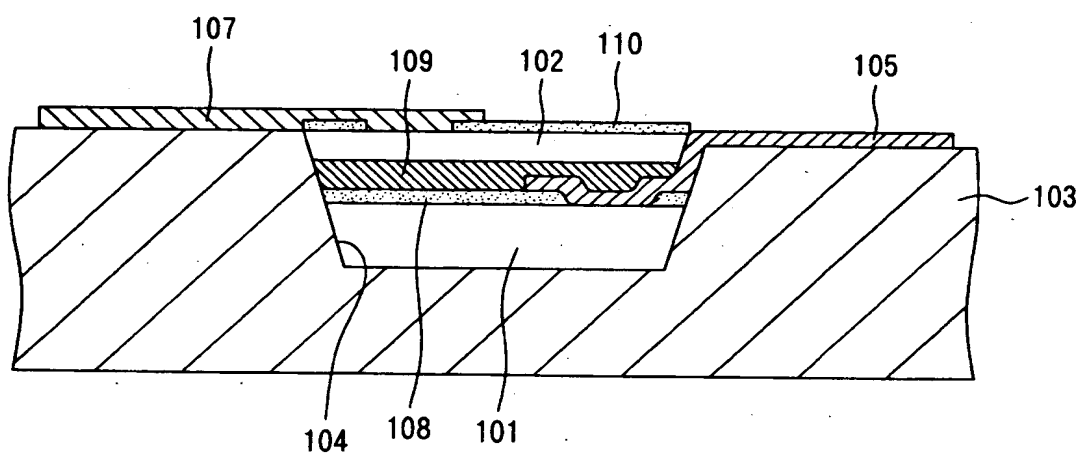
【図 21】



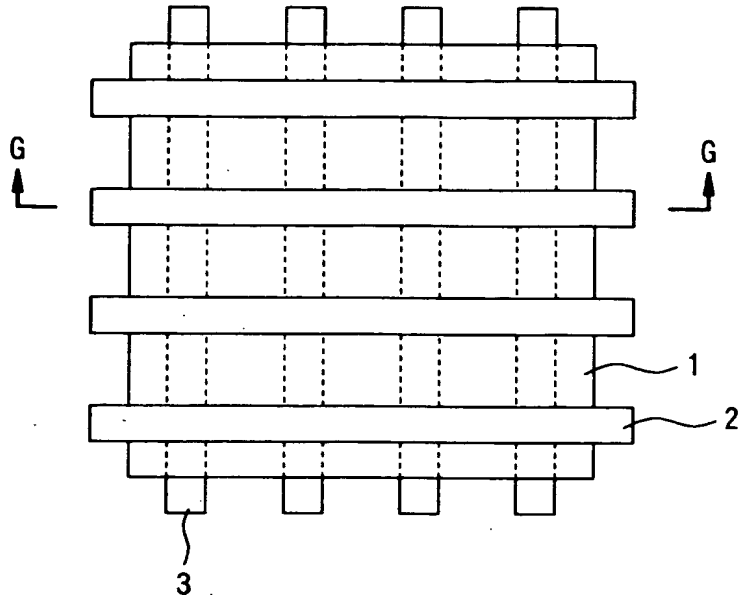
【図 2 2】



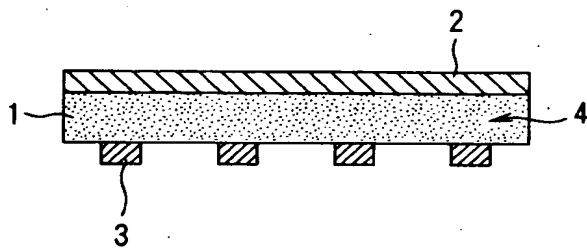
【図 2 3】



【図 2 4】

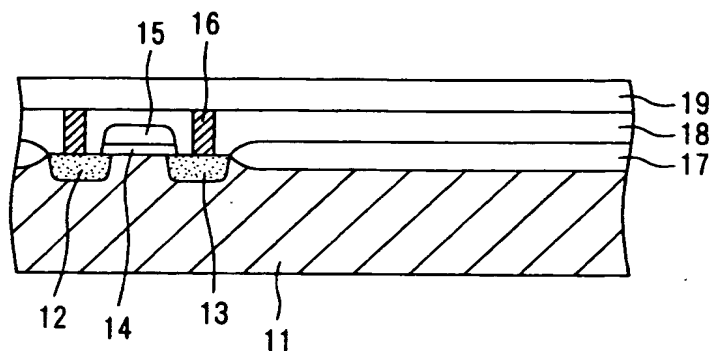


【図 2 5】

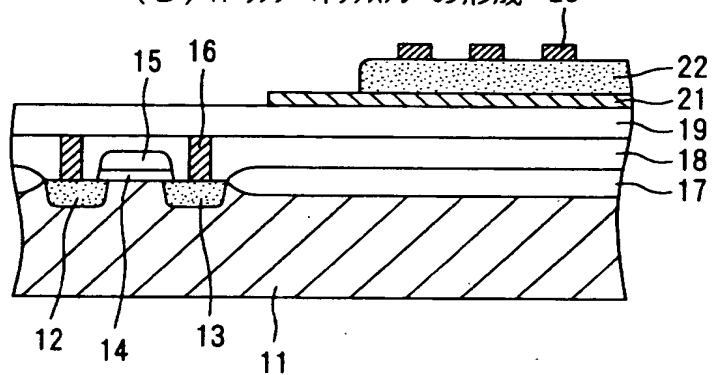


【図 26】

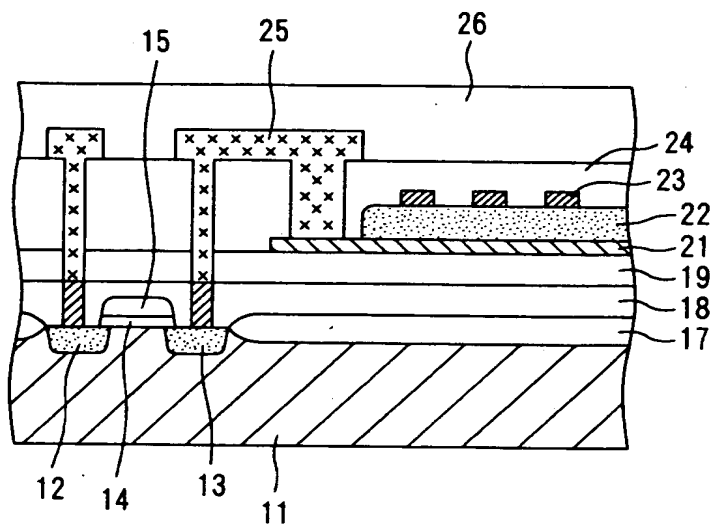
(A) MOSトランジスタの形成



(B) ハッパ・マトリクスアレ-の形成 23



(C) 保護層の形成



【書類名】 要約書

【要約】

【課題】 製造プロセスでの制約を小さくできるようにした強誘電体メモリ及びその製造方法の提供。

【解決手段】 この発明は、強誘電体キャパシタからなるメモリセルを配置させたパッシブマトリクスアレーと、このパッシブマトリクスアレーの周辺回路とからなる。そして、そのパッシブマトリクスアレーをパッシブマトリクスアレーマイクロチップ 4 1 で形成するとともに、その周辺回路であるワードライン駆動回路 4 3 やビットライン駆動回路 4 4 を周辺回路基板 4 2 に形成し、パッシブマトリクスアレーマイクロチップ 4 1 を周辺回路基板 4 2 上に集積化するようにした。このため、パッシブマトリクスアレーとその周辺回路とを独立して製造できるので、パッシブマトリクスアレーを製造する際にその悪影響が周辺回路に及ばなくなり、製造プロセスでの制約を小さくできる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社